

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication Number: 09-120954 (JP 9120954 A) , May 06, 1997

Inventors:

- HIRATA TAKESHI

Applicants

- NEC CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 07-277323 (JP 95277323) , October 25, 1995

International Class (IPC Edition 6):

- H01L-021/3065
- C23F-004/00
- H01L-021/28
- H01L-021/768

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)
- 12.6 (METALS--- Surface Treatment)

JAPIO Keywords:

- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)

Abstract:

PROBLEM TO BE SOLVED: To form a fine contact hole in a small number of processes by forming a hole with a plurality of side walls of different angles in an insulation film by single reactive ion etching.

SOLUTION: A BPSG film 2 is formed on a silicon substrate 1 and a photoresist film 4 with a hole 3 having an almost vertical side wall is formed. Then, etching of low selectivity of the photoresist film 4 and the BPSG film 2 is carried out by a reactive ion etching device. Since the angle to ion is large in an upper edge end part of the hole 3 of the photoresist film 4, a facet 8 is formed in an upper end part and a groove 5A is formed in the BPSG film 2. If etching is further continued and a surface of the substrate 1 is exposed, the thickness of a photoresist film reduces, and a facet is enlarged and extends to an upper end part of the groove 6B. A hole 6B formed of an upper part 6B-2 and a lower part 6B-1 with side walls of different angles is formed and an aluminum wiring 7 is formed in this way.

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 5506154

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 2 0 9 5 4

(43) 公開日 平成9年(1997)5月6日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I			技術表示箇所
H O 1 L	21/3065		H O 1 L	21/302	M	
C 2 3 F	4/00		C 2 3 F	4/00	E	
					C	
H O 1 L	21/28		H O 1 L	21/28	V	
	21/768			21/302	F	
審査請求	有	請求項の数 3	O L	(全 5 頁)		最終頁に続く

(21) 出願番号 特願平7-277323

(22) 出願日 平成7年(1995)10月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 平田 剛

東京都港区芝五丁目7番1号 日本電気株式会社内

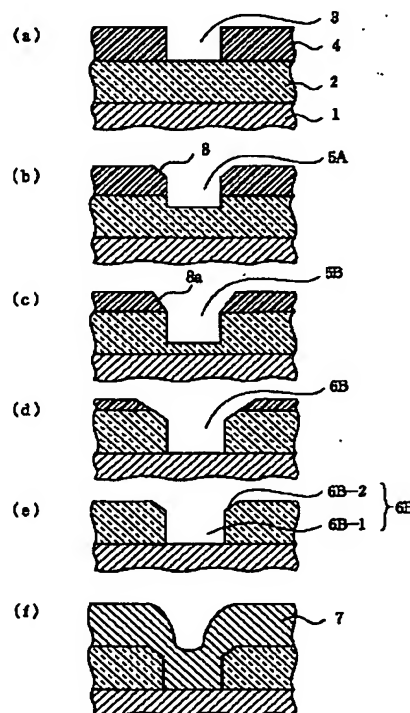
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ウエットエッチとドライエッチを組合せる手法より工程数が少なくレジスト後退法による手法より孔径の小さなコンタクト用の開孔を形成する。

【解決手段】 フォトリソ膜 4 の開孔 3 の上縁端部にファセット 8 が形成され、選択比が低い反応性イオンエッチングにより、角度の異なる複数の側壁を有する開孔 6 B を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上の所定の導電領域を被覆する絶縁膜を形成する工程と、前記絶縁膜に所定厚さのレジスト膜を塗布し選択的に露光し現像することによってほぼ垂直な側壁を有し前記導電領域に対応する第 1 の開孔を有するエッチングマスクを形成する工程と、前記絶縁膜の前記エッチングマスクに対する選択比が低い反応性イオンエッチングにより前記第 1 の開孔上端部にファセットを形成しつつ前記第 1 の開孔部の絶縁膜に前記ファセットより垂直に近い側壁の溝を形成し、前記反応性イオンエッチングを続行することによって前記エッチングマスクの厚さを減少させ前記ファセットを拡大させてその少なくとも一部を前記溝の上端部に及ぼし、それによって上部で下部より幅の広がったかつ角度の異なる複数の側壁を有する第 2 の開孔を前記絶縁膜に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 エッチングマスクがなくなるまで反応性イオンエッチングを続行する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 レジスト膜及び絶縁膜がそれぞれポジ型フォトリソレジスト膜及び酸化シリコン膜であり、 CF_4 ガスと SF_6 ガスとの混合ガスを使用し、選択比を 1 前後に設定する請求項 1 又は 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に基板に形成した素子と配線間、または多層配線では配線間どうしのコンタクトをとるため絶縁膜に開孔を形成する方法に関する。

【0002】

【従来の技術】現在基板に形成した素子と配線とのコンタクト、あるいは多層配線では配線間のコンタクトをとるためにエッチングマスク形成後絶縁膜をエッチングにより開孔することが行なわれている。

【0003】図 2 を参照して、ウェットエッチングとドライエッチングを組み合わせた、第 1 の従来例について説明する。この手法は上層の配線形状を被覆性良く形成するために一度ウェットエッチングなどにより等方性エッチングを行ない開孔の上部を広げた後ドライエッチングにより所望の大きさのコンタクトを開孔するという二段階のエッチングを行なうものである。すなわち、図 2 (a) に示すように、シリコン基板 1 上に BPSG 膜 2 を形成し、開孔 3 を有するフォトリソレジスト膜 4 を形成する。次に、等方性エッチングにより、図 2 (b) に示すように、開孔 3 より寸法の大きい溝 5 を BPSG 膜 2 の表面部に形成する。次に、異方性ドライエッチングにより、図 2 (c) に示すように、シリコン基板 1 の表面を露出させて開孔 6 を形成する。次に、フォトリソレジスト膜 4 を除去する。こうして、図 2 (d) に示すように、上

部 6-1 の寸法が下部 6-2 の寸法より大きな開孔 6 が形成される。次に、図 2 (e) に示すようにアルミニウム系配線 7 を形成する。

【0004】また、レジスト後退法などにより上部から下部にかけて傾斜を付けるテーパコンタクトエッチを用いることで被覆性の良い配線を形成する手法（第 2 の従来例）がある。すなわち、図 3 (a) に示すように、シリコン基板 1 上に BPSG 膜を堆積し、開孔 3 A を有するフォトリソレジスト膜 4 A を形成する。図 2 (a) の 3 と同様な開孔を形成した後に適当な熱処理によりリフローさせることにより、順テーパ状の開孔 3 A を形成することができる。次に、BPSG 膜 2 のフォトリソレジスト膜 4 A に対する選択比が 1 程度の条件でエッチングすると、図 3 (b) に示すように、フォトリソレジスト膜の開孔端が後退しつつエッチングされて順テーパ状の溝 5 A が形成される。溝の底部がシリコン基板 1 に達する迄このエッチングを続行することにより、図 3 (c) に示すように、BPSG 膜 2 に順テーパ状の開孔 6 A を形成することができる。次に、フォトリソレジスト膜を図 3 (d) に示すように除去し、図 3 (e) に示すように、アルミニウム系配線 7 を形成する。

【0005】

【発明が解決しようとする課題】上述した第 1 の従来例では 2 段階のエッチングすなわちウェットエッチとドライエッチを組み合わせなければならず、工程数が多くなると言う問題があった。

【0006】また、第 2 の従来例のレジスト後退法を用いた手法ではコンタクト用の開孔が上方で大きく開きすぎるため微細加工に不適であるという問題点があった。

【0007】従って、本発明の目的は少ない工程数で微細なコンタクト用の開孔を形成できる半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上の所定の導電領域を被覆する絶縁膜を形成する工程と、前記絶縁膜に所定厚さのレジスト膜を塗布し選択的に露光し現像することによってほぼ垂直な側壁を有し前記導電領域に対応する第 1 の開孔を有するエッチングマスクを形成する工程と、前記絶縁膜の前記エッチングマスクに対する選択比が低い反応性イオンエッチングにより前記第 1 の開孔上端部にファセットを形成しつつ前記第 1 の開孔部の絶縁膜に前記ファセットより垂直に近い側壁の溝を形成し、前記反応性イオンエッチングを続行することによって前記エッチングマスクの厚さを減少させ前記ファセットを拡大させてその少なくとも一部を前記溝の上端部に及ぼし、それによって上部で下部より幅の広がったかつ角度の異なる複数の側壁を有する第 2 の開孔を前記絶縁膜に形成する工程とを有するというものである。

【0009】ここで、エッチングマスクがなくなるまで

反応性イオンエッチングを続行するようにしてもよい。

【0010】又、レジスト膜及び絶縁膜がそれぞれポジ型フォトリソレジスト膜及び酸化シリコン膜であり、 CF_4 ガスと SF_6 ガスとの混合ガスを使用し、選択比を1前後に設定することができる。

【0011】単一の反応性イオンエッチングを利用して角度の異なる複数の側壁を有する第2の開孔をコンタクト用の開孔として形成できる。

【0012】

【発明の実施の形態】図1(a)～(f)は、本発明の一実施の形態について説明するための工程順断面図である。

【0013】まず、図1(a)に示すように、シリコン基板1(MOSトランジスタなどの図示しない素子が形成されている。従って図示しないゲート酸化膜やフィールド酸化膜などが形成されているものとする。)上に絶縁膜、たとえばBPSG膜2を厚さ800nm形成し、ほぼ垂直な側壁を有する第1の開孔3(シリコン基板1の表面部に形成された図示しない拡散層に対応している)を備えたポジ型のフォトリソレジスト膜4を形成する。レジスト膜4の厚さは、レジスト材として例えばノボラック系樹脂を使用するときは800～900nmにする。次に、例えば陰極結合型の反応性イオンエッチング装置を利用して、周波数13.56MHz、RFパワー500W、圧力20Pa、 CF_4 ガス流量10sccm、 SF_6 ガス流量20sccmの条件でエッチングを行なう。この条件ではフォトリソレジスト膜4とBPSG膜2とのエッチング選択比は1になる。フォトリソレジスト膜4の開孔3の上縁端部はイオンに対する見込角が大きいなどの理由により、図2(b)に示すように、上端部に

ファセット8が形成されるとともにBPSG膜2に溝5A(基板平面に対して約80度の側壁を有している)が形成される。エッチングを続行するとフォトリソレジスト膜の厚さが減少していき、ファセットも拡大する。図1(b)はファセット8Aが残っているフォトリソレジスト膜の厚さ方向全体に拡がった状態を示している。レジスト後退法による図3(a)に示した状態との相違は、BPSG膜に溝5Bが形成されていることである。更にエッチングを続行し、シリコン基板1の表面を露出させる。図1(d)に示すように、フォトリソレジスト膜の厚さは更に減小し、ファセットは拡大されてその一部が溝6Bの上端部に及ぶ。図1(d)に示すように、シリコン基板1の表面が露出した段階(エッチング時間は4分)で若干フォトリソレジスト膜が残っていてもよいがそのときは残存レジスト膜をアッシングにより除去する。あるいは、フォトリソレジスト膜の初期の厚さを適当に設定してシリコン基板の表面が露出したとき、残存レジストがないかあるいはほとんどないようにし、必要に応じて更にエッチ

ングを続行してオーバーエッチ(エッチング時間は合計4分30秒)すればアッシングは不要である。このようにして、図1(e)に示すように、基板表面に対し約55°の側壁を有する上部6B-2と同じく約80°の側壁を有する下部6B-1よりなる第2の開孔6Bを形成することができた。次に、図1(f)に示すように、アルミニウム系配線形成する。段差被覆性は第1、第2の従来例と同様に良好であった。

【0014】第1の従来例と異なり、単一のエッチング工程でよいから工程数は少なく、第2の従来例と異なり、角度の異なる2つの側壁を有するコンタクト用の開孔を形成できるので微細加工に適しているということが出来る。

【0015】以上、素子と配線とのコンタクトをとる場合(導電領域は拡散層)について説明したが、多層配線の配線間のコンタクトをとる場合(導電領域は下層配線)にも本発明を適用しうることとは改めて詳細に説明するまでもなく明らかであろう。

【0016】

【発明の効果】以上説明したように本発明は単一の反応性イオンエッチングにより角度の異なる複数の側壁を有する開孔を絶縁膜に形成できるので、開孔を埋める配線の段差被覆性を損なうことなく、複数のエッチングを利用する第1の従来例より工程数を少なくでき、レジスト後退法による第2の従来例より寸法の小さな開孔を形成でき微細加工に適している。すなわち、段差被覆性が良好な半導体装置を高歩留り、短工期で製造できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態について説明するための(a)～(f)に分図して示す工程順断面図である。

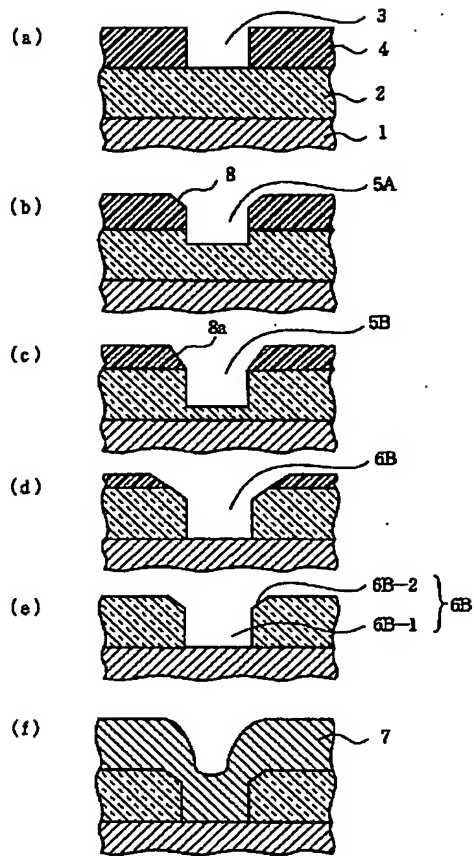
【図2】第1の従来例について説明するための(a)～(e)に分図して示す工程順断面図である。

【図3】第2の従来例について説明するための(a)～(e)に分図して示す工程順断面図である。

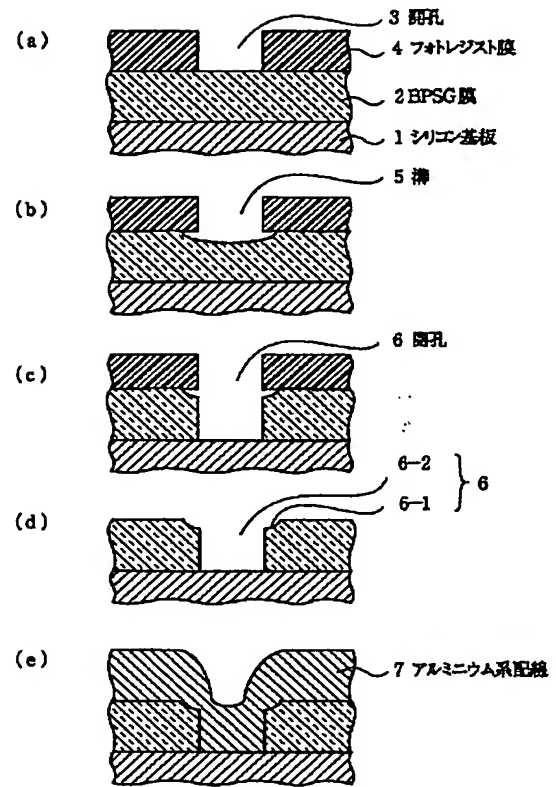
【符号の説明】

- 1 シリコン基板
- 2 BPSG膜
- 3 開孔
- 4 フォトリソレジスト膜
- 5, 5A, 5B 溝
- 6, 6A, 6B 開孔
- 6-1 開孔6の上部
- 6-2 開孔6の下部
- 6B-1 開孔6Bの上部
- 6B-2 開孔6Bの下部
- 7 アルミニウム系配線
- 8, 8A ファセット

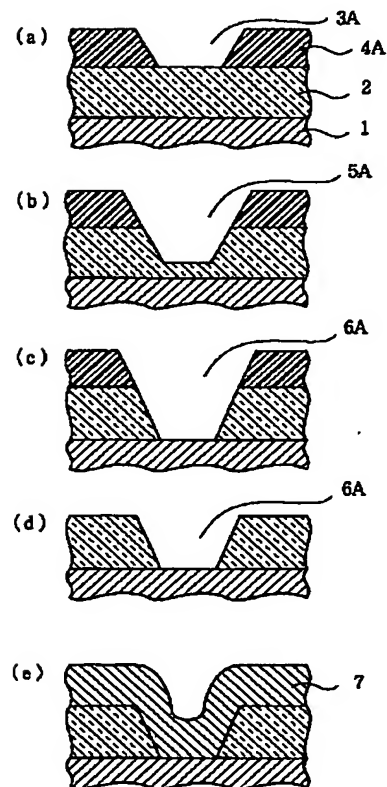
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/90

C

A